

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)12月26日

H 01 L 21/76  
21/336  
29/784

S 6741-4M

8422-4M H 01 L 29/78 3 0 1 R  
8422-4M 3 0 1 L

審査請求 未請求 請求項の数 2 (全 12 頁)

⑭ 発明の名称 半導体装置およびその製造方法

⑯ 特 願 平2-98949

⑰ 出 願 平2(1990)4月13日

⑱ 発 明 者 森 原 敏 則 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・  
エス・アイ研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 深見 久郎 外2名

## 明 細 書

## 1. 発明の名称

半導体装置およびその製造方法

## 2. 特許請求の範囲

(1) 半導体基板の主面上において、活性領域を包囲して全周にわたって略均一な高さで形成され、この活性領域を他と分離絶縁する素子分離絶縁層と、

前記素子分離絶縁層で包囲された活性領域全域に、前記素子分離絶縁層と段差が生じないように、前記素子分離絶縁層と略同一の高さで平坦に形成された半導体層と

を備え、

この半導体層の表面を素子形成領域としたことを特徴とする半導体装置。

(2) 半導体基板の主面上の所定位置に、活性領域を包囲して他と分離絶縁する素子分離絶縁層を選択的にパターンニング形成する工程と、

前記素子分離絶縁層を形成した後に、前記半導体基板の主面上全域に半導体層を形成する工程と、

前記半導体層表面全域に、レジスト膜を略平坦になるように塗布する工程と、

前記半導体層と前記レジスト膜を略同一の選択比でエッチングすることにより、前記素子分離絶縁層を全周にわたって露出させるとともに、前記半導体層を前記素子分離絶縁層と段差が生じない高さで平坦化する工程と、

前記半導体層表面に素子を形成する工程とを備えた、半導体装置の製造方法。

## 3. 発明の詳細な説明

[産業上の利用分野]

本発明は、半導体装置およびその製造方法に関し、特に、良好な素子特性を得るための素子分離構造を有する半導体装置と、その素子分離構造を効率よく形成するための半導体装置の製造方法に関するものである。

[従来の技術]

以下、従来の半導体装置の素子分離構造およびその製造方法の一例を、第6A図ないし第6D図に基づいて説明する。これらの図は、フィールド

シールド部によって素子分離された活性領域にMOS (Metal Oxide Semiconductor) 型LDD (Lightly Doped Drain) 構造トランジスタを形成した半導体装置の製造工程を順次示している。

この従来例においては、まずp型の半導体基板1表面の全領域に、熱酸化法などにより、約200ÅのSiO<sub>2</sub>膜2を形成し、その上に、減圧CVD法などにより約2000Åの多結晶シリコン層3を形成する。その後さらに、多結晶シリコン層3表面の全域に、CVD法などによって約2000ÅのSiO<sub>2</sub>膜4を堆積させる(第6A図)。

次に、写真製版技術とエッチングにより、SiO<sub>2</sub>膜4、多結晶シリコン層3およびSiO<sub>2</sub>膜2を順次選択的にエッチングして、フィールドシールド部5を形成する。その後、半導体基板1上全面に、CVD法などにより約2000ÅのSiO<sub>2</sub>膜を堆積させ、異方性エッチングによって、フィールドシールド部5の側壁にサイドウォールスペーサ6を形成する。これと同時に、フィール

ドシールド部5以外の半導体基板1表面を露出させる(第6B図)。

次に、半導体基板1表面全面に、約200ÅのSiO<sub>2</sub>膜7と、約2000Åの多結晶シリコン層8と、約2000ÅのSiO<sub>2</sub>膜9を順次形成する。その後、写真製版とエッチングにより、SiO<sub>2</sub>膜9、多結晶シリコン層8およびSiO<sub>2</sub>膜7を順次選択的にエッチングして、ゲート部10を形成する。次に、半導体基板1上全領域に、リンや砒素などのn型不純物イオンを照射することによって、ゲート部10をマスクとして低濃度n型拡散層11が形成される(第6C図)。

次に、半導体基板1上全面にSiO<sub>2</sub>膜を約2000Å堆積させ、異方性エッチングを施すことによって、ゲート部10の側壁にサイドウォールスペーサ12を形成する。その後、半導体基板1上全域に、リンや砒素などのn型不純物イオンを照射し、ゲート部10とサイドウォールスペーサ12をマスクとして、高濃度n型拡散層13が形成される(第6D図)。

- 3 -

以上の工程により形成された低濃度n型拡散層11および高濃度n型拡散層13はソース/ドレイン領域となり、MOS型LDD構造の電界効果トランジスタが形成されることになる。

[発明が解決しようとする課題]

しかしながら、上記従来の半導体装置およびその製造方法には、次のような問題点があった。

まず第1の問題点は、フィールドシールド部5と、活性領域の半導体基板表面との間に段差があるために、ゲート部10を形成する工程において、いわゆるデフォーカスが生じることである。このデフォーカスは、第7A図に示すように、段差に応じて、ゲート部10をエッチング形成するためのマスクとなるレジスト膜16の厚さが変化することに起因して生じる。すなわち、ゲート部10となる部分の上では、フィールドシールド部5の上に比べてレジスト膜16の厚さが大きいので、レジスト膜16がその写真製版時に、第7A図に破線で示すような形状に残る。その結果ゲート部10の幅の設計値として、レジスト膜16の表面

上においてバタニングされた寸法aに比べて、実際に形成されるゲート部10の幅bが大きくなってしまふ。

このようなデフォーカスの現象と、解像度R、フォーカスマージンDF、写真製版の光学系の開口数NAなどの関係を以下に説明する。

写真製版に用いる照射光の波長をλとすると、解像度R、フォーカスマージンDF、および開口数NAの間には、次の関係式が成立つことが知られている。

$$R = 0.61 \lambda / NA \dots (1)$$

$$DF = 1.39 R^2 / \lambda \dots (2)$$

λが248nm (KrFレーザ)、365nm (i線)、436nm (g線)の3通りの場合について、横軸に解像度R、縦軸にフォーカスマージンDFをとって、開口数NAを変化させてプロットしたグラフを、第7B図に示している。なお、解像度Rは、第7C図に示すように、被エッチング部21上でのレジスト膜22a、22bの間隔をμm単位で表わす。また開口数NAは、光学系

- 5 -

- 6 -

の明るさや分解能を表わす量の1つで、第7D図を参照して、屈折率 $n$ の媒質中にある光軸上の物点23が入射ひとみ24の半径に対して張る角 $\theta$ の正弦と、その媒質の屈折率 $n$ の積( $n \cdot \sin \theta$ )で定義される。またフォーカスマージンDFは、デフォーカスが生じない、すなわち、第7E図に示すレジスト膜25の上段の幅 $a$ と被エッチング物26表面上での幅 $b$ とがほぼ等しくなるための、レジスト膜25の最大長さ $L$ を規定するものであって、 $L/2 < DF$ の範囲において、 $a$ が $b$ にほぼ等しくなるような値を表わしている。第7A図に示すように、下地段差 $\Delta L$ のために、レジスト膜16の厚さがフィールドシールド部5の上方(厚さ $L_1$ )で上記不等式を満たしたとしても、ゲート部10の上方(厚さ $L_2$ )では上記不等式を満たさずにデフォーカスが生じるという現象が起こる。また、下地段差 $\Delta L$ がDFの2倍より大きければ、ゲート部10上では必ずデフォーカスが生じてしまう。

このように、活性領域における素子形成パター

— 7 —

グ工程において、まず $SiO_2$ 膜9がエッチングされるが、このとき、フィールドシールド部5の近傍で段差が急峻であるために、多結晶シリコン層8の表面にエッチングガスの成分がデポジションを起こし、デポジション膜28が堆積されてしまう。このデポジション膜28がマスクとして作用し、その直下のエッチングの進行が妨げられて、ゲート部10の形成が終了した時点において、フィールドシールド部5の側壁の下部に、主として多結晶シリコンからなる異物27が付着する。

以上のべた各問題点は、活性領域をフィールドシールドによって分離絶縁する場合に限らず、たとえばLOCOS法によって素子分離絶縁層を形成した場合にも、ほぼ同様に生じる現象である。

本発明は上記従来の問題点に鑑み、写真製版時のデフォーカスの発生や、素子分離絶縁層の側壁の下部への異物の付着のない半導体装置、およびその製造方法を提供することを目的とする。

〔課題を解決するための手段〕

本発明の半導体装置は、半導体基板の主面上に

— 9 —

ンにデフォーカスが生じると、レジスト膜の写真製版における露光パターンの寸法と実際に形成される素子の寸法が異なるという現象が生じ、設計どおりの素子特性が得られないという問題がある。

下地段差 $\Delta L$ が生じることによる第2の問題点は、ゲート部10を形成するためのエッチング工程においてフィールドシールド部5の側壁に異物残り、この異物によって不都合な現象が生じるということである。

この異物が残る現象について、第8A図ないし第8C図に基づいて説明する。下地段差 $\Delta L$ がある場合には、第8A図とそのA-A断面図である第8B図に示すように、フィールドシールド部5の側壁の下部に、主として多結晶シリコンからなる異物27が沈着し、たとえば隣合うゲート部10間や、他の導電配線層間において短絡が生じるなどの不都合な現象が起こることになる。

この異物27の付着の原因は、第8A図のB-B断面図である第8C図によって次のように説明される。ゲート部10を形成するためのエッチン

— 8 —

において、活性領域を包囲して全周にわたって略均一な高さで形成され、この活性領域を他と分離絶縁する素子分離絶縁層と、半導体基板の表面上の、素子分離絶縁層で包囲された活性領域全域に、素子分離絶縁層と段差が生じないように、素子分離絶縁層と略同一の高さで平坦に形成された半導体層とを備え、この半導体層の表面を素子形成領域としたものである。

また本発明の半導体装置の製造方法は、半導体基板の主面上の所定位置に、活性領域を包囲して他と分離絶縁する素子分離絶縁層を選択的にパターンニング形成する工程と、素子分離絶縁層を形成した後に、半導体基板の主面上全域に半導体層を形成する工程と、半導体層表面全域にレジスト膜を略平坦になるように塗布する工程と、半導体層とレジスト膜を略同一の選択比でエッチングすることにより、素子分離絶縁層を全周にわたって露出させるとともに、半導体層を素子分離絶縁層と段差が生じない高さで平坦化する工程と、半導体層表面に素子を形成する工程とを備えたものであ

— 10 —

る。

#### 〔作用〕

本発明の半導体装置によれば、素子分離絶縁層と段差のない平坦な半導体層上に素子形成領域を設けたことにより、素子をエッチング形成するためのレジスト膜を均一な厚さで形成することができるため、そのレジスト膜を写真製版する際のデフォーカスが抑制される。また、素子分離絶縁層と素子形成領域の境界に急峻な斜面が生じないため、エッチング工程における異物の付着による不都合な現象を防止することができる。

また、本発明の半導体装置の製造方法によれば、半導体層上にレジスト膜を平坦に塗布し、このレジスト膜と半導体層とを同一の選択比でエッチングすることにより、素子分離絶縁層と段差のない平坦な半導体層を容易に形成することができる。

#### 〔実施例〕

以下本発明の一実施例を、図面を参照しながら説明する。

第1図は、本実施例において製造された半導体

— 11 —

度n型拡散層13が形成されており、これらはMOS型LDD構造のソース/ドレイン領域を構成する。

次に、以上のように構成されたMOS型LDD構造トランジスタの製造方法を説明する。本実施例の製造方法においては、まず、p型半導体基板1表面の全領域に、熱酸化法などにより、約200ÅのSiO<sub>2</sub>膜2を形成し、その上に、減圧CVD法などにより、約2000Åの多結晶シリコン層3を形成する。その後さらに、多結晶シリコン層3表面の全域に、CVD法などによって約2000ÅのSiO<sub>2</sub>膜4を堆積させる(第2A図)。

次に、写真製版技術とエッチングにより、SiO<sub>2</sub>膜4、多結晶シリコン層3およびSiO<sub>2</sub>膜2を順次選択的にエッチングして、フィールドシールド部5を形成する。その後、半導体基板1上全面に、CVD法などにより約2000ÅのSiO<sub>2</sub>膜を堆積させ、異方性エッチングによって、フィールドシールド部5の側壁面にサイドウォールスペーサ6を形成する。これと同時に、フィー

— 13 —

装置の断面構成を、模式的に示している。同図に示す半導体装置は、p型の半導体基板1上において、SiO<sub>2</sub>膜2、不純物をドーブした多結晶シリコン層3およびSiO<sub>2</sub>膜4によってフィールドシールド部5が形成され、このフィールドシールド部5の側壁にはサイドウォールスペーサ6が形成されている。フィールドシールド部5とサイドウォールスペーサ6は、素子を形成する活性領域を包囲して他の活性領域と分離絶縁する素子分離絶縁層を構成する。

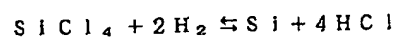
この素子分離絶縁層で包囲された領域の半導体基板1表面上には、半導体層としてのシリコンエピタキシャル膜14が、フィールドシールド部5と略同一の高さで平坦に形成されている。シリコンエピタキシャル膜14表面には、SiO<sub>2</sub>膜7、不純物をドーブした多結晶シリコン層8およびSiO<sub>2</sub>膜9からなるゲート部10が設けられ、その側壁にはサイドウォールスペーサ12が形成されている。また、ゲート部10の側壁の直下近傍から外側にかけて、低濃度n型拡散層11と高濃

— 12 —

ルドシールド部5以外の半導体基板1表面を露出させる(第2B図)。

以上の工程は、上記従来の製造方法の場合と同様である。

本実施例では、次に、フィールドシールド部5で囲まれた活性領域の、半導体基板1の表面に、シリコンエピタキシャル膜14を形成する。このシリコンエピタキシャル膜14の形成には、CVD法の一つである気相エピタキシャル成長法(VPE: Vapor Phase Epitaxy)を用いる。シリコン単結晶のVPEによる形成においては、まずシリコン単結晶からなる半導体基板1を約1200℃に加熱し、HClガスによって表面の研磨(気相エッチング)を行なう。次に原料気体であるSiCl<sub>4</sub>とH<sub>2</sub>を反応管中に導入する。Siが析出する反応は、



である。この反応は化学反応で、SiCl<sub>4</sub>とH<sub>2</sub>の濃度の比などが適当な条件を満足するとき、Si単結晶がエピタキシャル成長する。

— 14 —

シリコンエピタキシャル膜 14 に不純物をドーピングする必要がある場合には、反応管中に  $\text{PH}_3$  (n 型用) あるいは  $\text{B}_2\text{H}_6$  (p 型用) を導入すればよい。

シリコンエピタキシャル膜 14 を形成した後、その表面全域に、レジスト膜 15 を塗布する。レジスト膜 15 の塗布に際しては、その表面が平坦になるように、たとえばスピナーによって半導体基板 1 を高速で回転させる。第 2 C 図に、シリコンエピタキシャル膜 14 上にレジスト膜を平坦に形成した状態を示す。

次に、半導体基板 1 上の全域において第 2 D 図に示す状態、すなわち、シリコンエピタキシャル膜 14 表面とフィールドシールド部 5 の上部が平坦で、かつほぼ同一面上になるようにエッチングを行なう。このエッチング工程は、シリコンエピタキシャル膜 14 とレジスト膜 15 が同一の選択比でエッチングされる条件下で行なう。このようにシリコンエピタキシャル膜 14 とレジスト膜 15 が同時の選択比でエッチングされるようにする

— 15 —

次に、半導体基板 1 上全面に、厚さ約 2000 Å で  $\text{SiO}_2$  膜を堆積させ、これに異方性エッチングを施して、ゲート部 10 の側壁にサイドウォールスペーサ 12 を形成する。その後、半導体基板 1 上全面に、リンや砒素などの n 型不純物イオンを照射し、ゲート部 10 とサイドウォールスペーサ 12 をマスクとして、高濃度 n 型拡散層 13 を形成する (第 2 F 図)。

以上の工程により製造された、本実施例における MOS 型 LDD 構造電界効果トランジスタによれば、次に示す効果が得られる。

まず第 1 に、ゲート部 10 をエッチング工程において形成するためのマスク 16 をパターンニングする写真製版におけるデフォーカスを防止することができる。すなわち、第 3 A 図に示すように、レジスト膜 16 を、 $L_1/2 < D_F$  になるような厚さで均一に塗布することができるため、レジスト膜 16 表面上における露光パターンの幅 a と、形成されるゲート部 10 の幅 b とが等しくなるようにすることができる。したがって、露光パター

— 17 —

ためには、たとえばエッチングガスとして  $\text{CF}_4$  などを用いたスパッタエッチングの場合であれば、低真空中でイオンを加速する電界をある値以上に高くすればよい。またレジスト膜 15 の材質として、シリコンエピタキシャル膜 14 と同じエッチングレートをもつものを用いることによっても、活性領域の平坦化を図ることができる。

次に、シリコンエピタキシャル膜 14 上に、熱酸化法によって厚さ約 200 Å の  $\text{SiO}_2$  膜 7 を形成し、その上に、たとえば CVD 法によって、不純物をドーピングした厚さ約 2000 Å の多結晶シリコン層 8 を形成する。さらにその上に、厚さ約 2000 Å の  $\text{SiO}_2$  膜 9 を形成した後、写真製版とエッチングによって、 $\text{SiO}_2$  膜 9、多結晶シリコン層 8 および  $\text{SiO}_2$  膜 7 を順次選択的に除去し、ゲート部 10 を形成する。その後、リンや砒素などの n 型不純物イオンを半導体基板 1 上全面に照射し、ゲート部 10 をマスクとして、トランジスタのソース/ドレイン領域となる低濃度 n 型拡散層 11 が形成される (第 2 E 図)。

— 16 —

ンの設計寸法と、活性領域の表面に形成される実際の素子の寸法が一致し、設計どおりの素子特性を得ることが可能になる。

また従来技術の第 8 B 図に対応する断面は、本実施例においては第 3 B 図に示すようになり、フィールドシールド部 5 の近傍においても、ゲート部 10 は平坦な面上に形成されている。したがって急峻な傾斜を生じることもなく、ゲート部 10 を形成するためのエッチング工程において、第 8 C 図に示したような異物 27 の付着現象が生じることもない。その結果、異物によるゲート部同士あるいは導電配線同士の短絡などの不都合の発生も防止される。

さらに、エピタキシャル膜 14 の存在により、第 3 C 図に示すように、活性領域表面に形成される導電配線のためのパッド 29 と、フィールドシールド部 5 のフィールド電極 3 との間隔が保たれるため、両者の間の絶縁特性も向上する。

以上の実施例は、活性領域の分離絶縁をフィールドシールド部のフィールドシールド電極にバイ

— 18 —

アス電圧を印加することによって行なう方式について述べたが、本発明の適用はこれに限られるものではない。他の素子分離方式である、たとえばいわゆるLOCOS法によって、第4A図に示すように、素子分離絶縁層29を形成することによって素子分離絶縁する場合にも、本発明を適用することができる。この場合にも、上記実施例の場合と同様に、デフォーカスの解消や異物の付着現象を防止することができる。また、素子分離絶縁層29によって活性領域を分離する場合、素子分離絶縁層29の下方にp型不純物イオンをドーピングして形成した、いわゆるp<sup>+</sup>アイソレーション30とソース/ドレイン領域31との間に、シリコンエピタキシャル層14が介在することになるため、この間の絶縁がより確実になり、リーク電流の減少を図ることも可能になる。

しかしながら、LOCOS法によって形成された素子分離絶縁層29の厚みが滑らかに変化しているため、その上部にアルミニウム配線などを行なうときに断線を生じないという長所がある。し

— 19 —

から温度を精密に制御しながら蒸発させることによって、基板上に単結晶状態の薄膜をエピタキシャル成長させる技術である。このMBEによるエピタキシャル成長は、半導体基板として、高速性に優れたGaAsを用いる場合に特に有用である。

また、上記実施例においては、シリコンエピタキシャル層14をまず半導体基板1上全面に堆積させ、さらにレジスト膜15を平坦に塗布して、それらを同一の選択比でエッチングすることにより平坦化を行なったが、第5A図ないし第5C図に示すように、シリコンエピタキシャル層14を活性領域に選択的にエピタキシャル成長させることも可能である。この方法においては、シリコンエピタキシャル膜14を成長させない領域をレジスト膜17で覆い、フィールドシールド部5と同じ高さになるように、シリコンエピタキシャル膜14を平坦に形成する(第5A図)。レジスト膜17を除去した後、半導体基板1上全面に、SiO<sub>2</sub>膜7、不純物をドーパした多結晶シリコン層8およびSiO<sub>2</sub>膜9を順次堆積させた後(第5

— 21 —

かしながらその半面、分離領域の周辺部が活性領域側へ広がる部分であるいわゆるバースピーク32(第4B図参照)の形状の制御が難しい。そのため、素子分離絶縁層29の幅Wと高さHの比W/Hが、フィールドシールドの場合に比べて大きくなる。そのために、集積度を高めにくいという問題がある。したがって、集積度を向上するためにはフィールドシールドの適用は不可欠である。

また素子分離絶縁層と活性領域との段差の問題は、フィールドシールドによる分離絶縁の場合の方が、LOCOS法による場合に比べてより顕著であることから、本発明はフィールドシールドの場合により有効に適用されるということができる。

なお、上記実施例において、シリコンエピタキシャル層14の形成は、VPE法によって行なったが、その他のエピタキシャル成長法、たとえば分子線エピタキシャル成長法(MBE: Molecular Beam Epitaxy)を用いて成長させることもできる。このMBEは、真空中で原料物質や不純物を、それぞれ独立の蒸発源

— 20 —

B図)、写真製版とエッチングによりゲート部10を形成する(第5C図)。このような選択的エピタキシャル成長法によれば、シリコンエピタキシャル層14の平坦化のためのエッチング工程を省略することができる。しかしながら、第5C図に示すように、ゲート部10を形成するための材料であるSiO<sub>2</sub>膜7や多結晶シリコン層8が、フィールドシールド部5の側壁に残存することになる。そのため、残存した多結晶シリコン層8による導電配線間の短絡などという不都合な現象が生じるという問題がある。したがって、シリコンエピタキシャル層14の形成には、選択的エピタキシャル成長法よりも、上記実施例のような平坦化の工程を含む方がより好ましいと考えられる。

#### [発明の効果]

以上述べたように本発明によれば、活性領域の素子が形成される面と、素子分離絶縁層との間に段差がないため、素子を形成するためのレジストを写真製版する際のデフォーカスの現象や、エッチング時の異物が素子分離絶縁層の側壁に付着す

— 22 —

るというような不都合な現象を防止することができ、それにより、設計された素子パターン寸法と、実際に形成される素子の寸法の誤差が大幅に減少するとともに、異物による導電配線間の短絡等の不都合な現象を防止することが可能になる。その結果良好な特性を有する半導体装置を、歩留りよく製造することが可能になる。

#### 4. 図面の簡単な説明

第1図は、本発明の一実施例における半導体装置の構造を模式的に示す断面図である。

第2A図ないし第2F図は、本発明の一実施例において融る半導体装置の製造工程を、順次模式的に示す断面図である。

第3A図ないし第3C図は、それぞれ本実施例における効果を説明するための図であり、そのうち第3A図は、本実施例の半導体装置をそのゲート部10を横断する断面で切断した断面図、第3B図はゲート部10に略平行でかつゲート部10含まない鉛直面で切断した断面図、第3C図は、活性領域にパッド29を形成した場合の断面図で

— 23 —

ある。

第4A図は、本発明をLOCOS方によって消せした素子分離絶縁層29により活性領域を分離絶縁する場合に適用した半導体装置の断面図、第4B図はその素子分離絶縁層29の拡大断面図である。

第5A図ないし第5C図は、本発明の他の実施例である、シリコンエピタキシャル層14を選択的エピタキシャル成長法により形成する場合の工程を順次示す断面図である。

第6A図ないし第6D図は、従来の半導体装置の製造工程を順次模式的に示す断面図である。

第7A図は、従来の半導体装置の製造工程におけるデフォーカスの現象を説明するための断面図、第7B図は、レジスト膜の写真製版における解像度RとフォーカスマージンDFの関係をグラフに示した図、第7C図は解像度Rを説明するための図、第7D図は、開口率NAを説明するための図、第7E図は、レジスト膜の断面形状とデフォーカスの関係を説明するための断面図である。

— 24 —

第8A図ないし第8C図は、従来の半導体装置の製造工程における、フィールドシールド部側壁への異物の付着の現象を説明するための図であり、そのうち第8A図は平面図、第8B図はそのA-A断面図、第8C図はB-B断面図を示している。

図において、1は半導体基板、5はフィールドシールド部（素子分離絶縁層）、6はサイドウォールスペーサ、10はゲート部、11は低濃度n型拡散層、13は高濃度n型拡散層、14はシリコンエピタキシャル膜（半導体層）、15はレジスト膜である。

なお図中、同一番号を付した部分は、同一または相当の要素を示す。

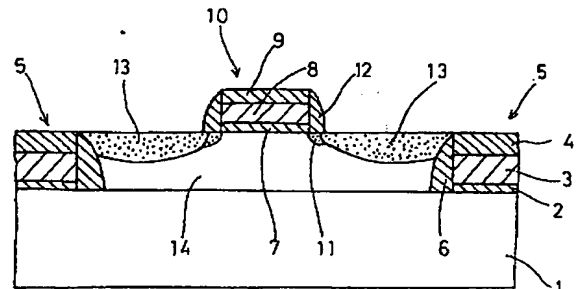
特許出願人 三菱電機株式会社

代理人 井理士 深見 久郎

(ほか2名)



第1図



1: 半導体基板

5: フィールドシールド部 } (素子分離絶縁層)

6: サイドウォールスペーサ

10: ゲート部

11: 低濃度n型拡散層

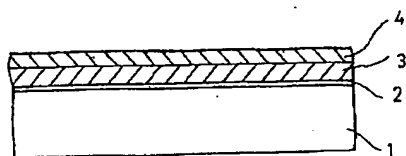
13: 高濃度n型拡散層

14: シリコンエピタキシャル膜 (半導体層)

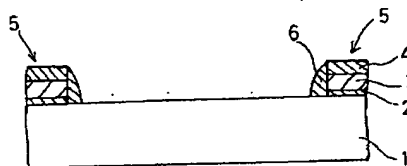
} (ソース/ドレイン領域)

— 25 —

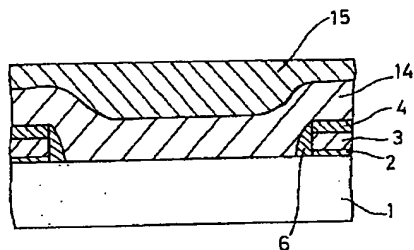
第 2 A 図



第 2 B 図

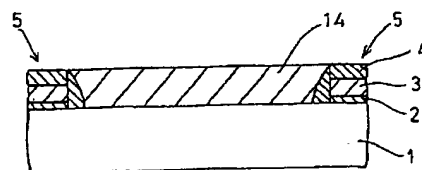


第 2 C 図

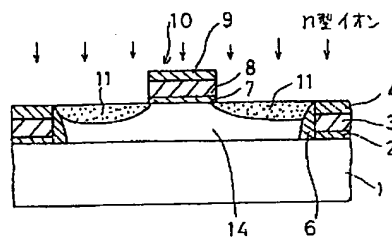


14: シリコンエポキシ膜 (半導体層)  
15: レジスト膜

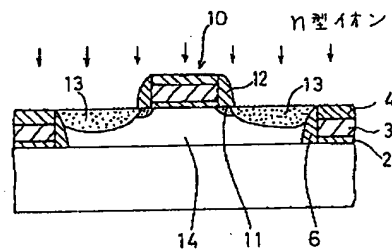
第 2 D 図



第 2 E 図

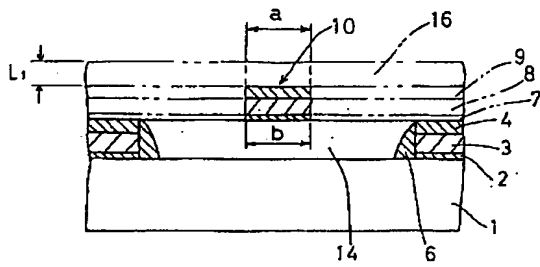


第 2 F 図

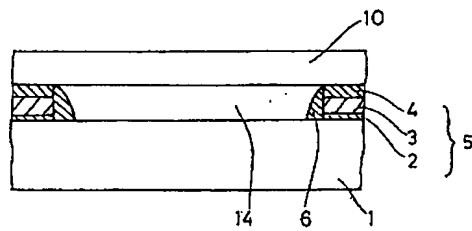




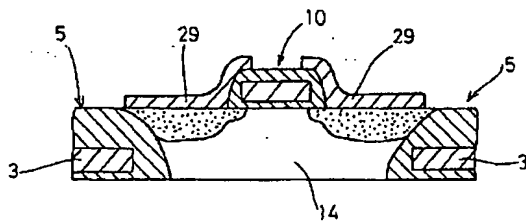
第 3 A 図



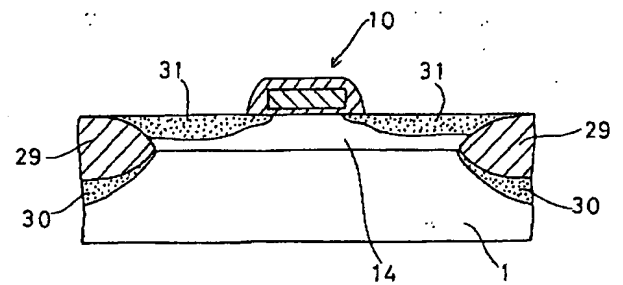
第 3 B 図



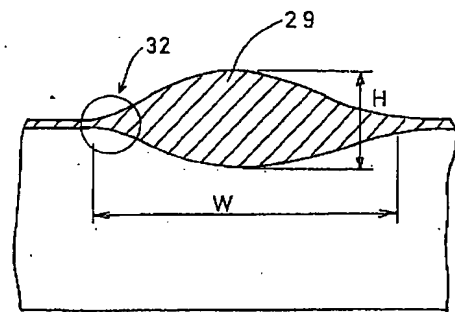
第 3 C 図



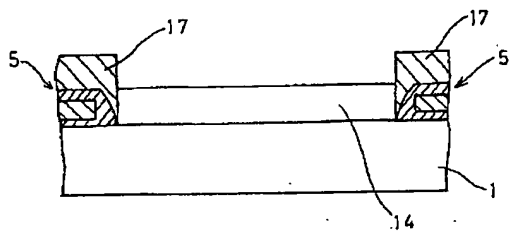
第 4 A 図



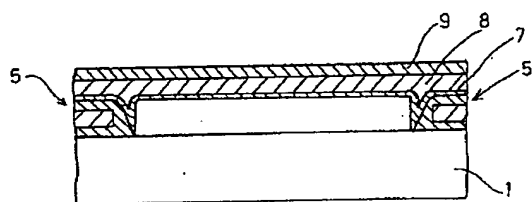
第 4 B 図



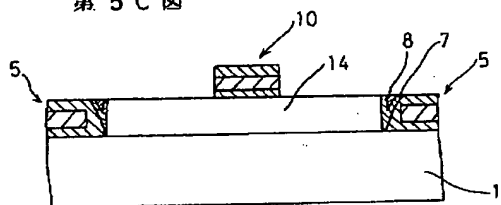
第 5 A 図



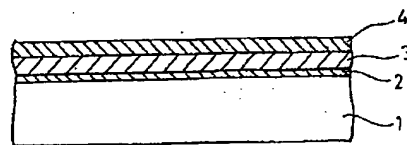
第 5 B 図



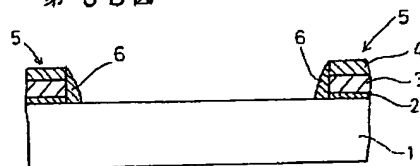
第 5 C 図



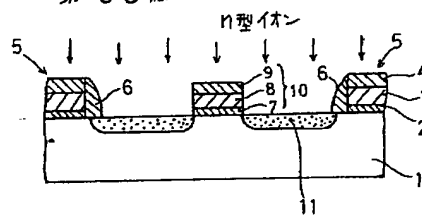
第 6 A 図



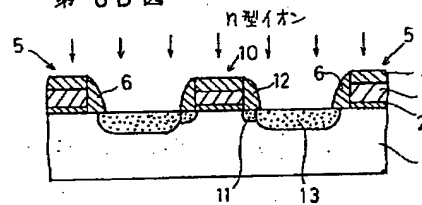
第 6 B 図



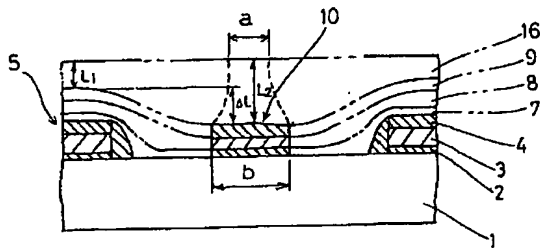
第 6 C 図



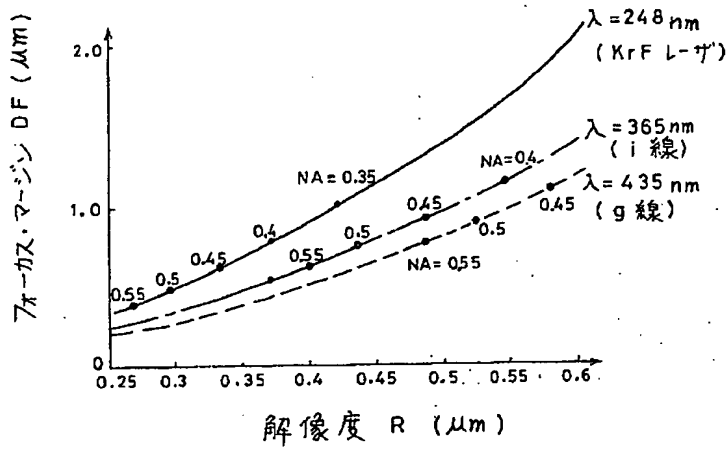
第 6 D 図



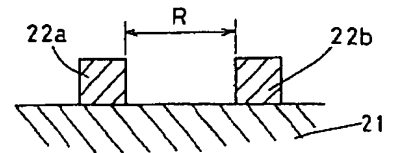
第 7 A 図



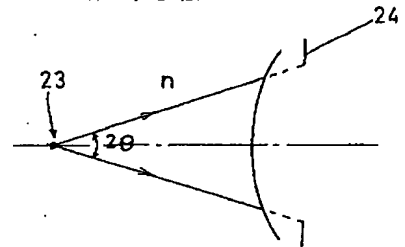
第 7 B 図



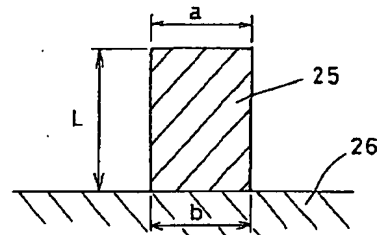
第 7 C 図



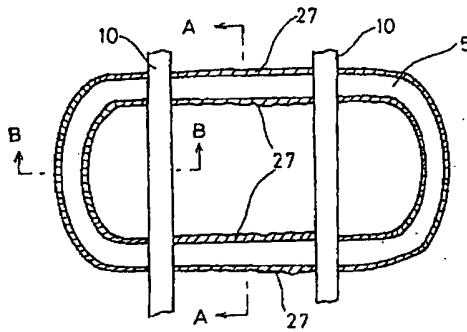
第 7 D 図



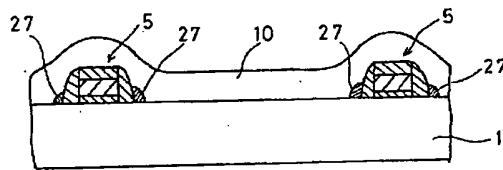
第 7 E 図



第 8 A 図



第 8 B 図



第 8 C 図

